

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259408

(43)Date of publication of application : 08.10.1993

(51)Int.Cl. H01L 27/11  
H01L 21/90  
H01L 27/04  
H01L 29/784

(21)Application number : 04-057658

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.03.1992

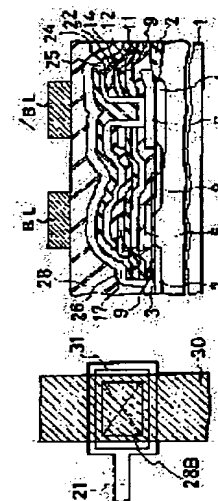
(72)Inventor : ITABASHI KAZUO  
EMA TAJI

## (54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

### (57)Abstract:

**PURPOSE:** To realize a semiconductor device requiring no separation between P and N by making an electrode.wiring contact hole reaching an etching stop layer from the surface and making a contact with the side face of a power supply line.

**CONSTITUTION:** An etching stop layer 3 is formed in an electrode.wiring contact hole forming region at a peripheral circuit part, constituting a part of conductive film at a memory circuit part, on an insulating film 2 covering a semiconductor substrate 1. A laminate structure of an insulating film 12 constituting a memory circuit part and a power supply line 21 of silicon is also formed at the peripheral circuit part and an electrode.wiring contact hole 28B, reaching the etching stop layer from the surface of the peripheral circuit part, is made thus exposing the side face of the power supply line 21. A power supply electrode wiring 30 is then formed on the surface and in the electrode-wiring contact hole where it is brought into contact with the side face of the power supply line 21 thus obviating the necessity of separating P and N between the memory part and the peripheral circuit part for same silicon layer.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The current supply line which consists of silicon which a laminating is carried out through the etching halt layer and insulator layer which were in the circumference circuit part on a wrap insulator layer about the semi-conductor substrate, and were formed on this insulator layer in the formation location of an electrode and a wiring contact hole, and is connected with a memory part, and supplies a power source, The electrode and wiring contact hole which penetrates a laminated structure with the current supply line which consists of an insulator layer and silicon from a front face, and reaches an etching halt layer, The semiconductor device characterized by coming to have the power-source electrode and wiring which consists of a metal in contact with the side face of the current supply line which is in this front face, and this electrode and wiring contact hole, and consists of this silicon.

[Claim 2] With the process which forms an etching halt layer on a wrap insulator layer using some electric conduction film [ in / for a semi-conductor substrate / a memory circuit part ], to the electrode and wiring contact hole formation schedule field in a circumference circuit part, subsequently With the process which uses the current supply line which consists of an insulator layer which constitutes this memory circuit part, and silicon, and forms laminated structures, such as it, also in this circumference circuit part simultaneously, subsequently With the process which makes the side face of the current supply line which forms the electrode and wiring contact hole which reaches this etching halt layer from the front face in this circumference circuit part, and becomes the interior from this silicon express, subsequently The manufacture approach of the semiconductor device characterized by coming to contain the process contacted on the side face of the current supply line which forms the power-source electrode and wiring which continues in a front face, and this electrode and wiring contact hole, and consists of a metal, and consists of this silicon.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to amelioration of the approach of manufacturing a semiconductor device and it with required for the conductive layer of a thin film taking electrode contact.

[0002] Generally, in a semiconductor device, it is common for it to be required for the conductive layer of a thin film, for example, the polycrystalline silicon layer of a thin film, to take electrode contact. Although SRAM which uses recent years (thin film transistor), for example, TFT, as a load is realized, since a problem arises [ that it is various and ] in case it originates in using TFT as a load and electrode contact is taken to the conductive layer of a thin film, it is necessary to cancel it.

[0003]

[Description of the Prior Art] The table of the important section top view in the process key point for explaining the conventional example of the approach drawing 30 thru/or drawing 35 manufacture the TFT load mold SRAM for the important section cutting side elevation in the process key point for drawing 17 thru/or drawing 29 to explain the conventional example of the approach of manufacturing the TFT load mold SRAM again has been carried out, respectively, and it explains hereafter, referring to drawings, such as this. In addition, drawing 17 thru/or the important section cutting side elevation of drawing 29 have taken the cutting plane in alignment with line X-X expressed to drawing 30 which is an important section top view. Moreover, although SRAM is divided and being drawn, similarly, right-hand side is carrying out the table of the circumference circuit part, respectively, and left-hand side is the same [ this way of expressing ] in the example of a memory part and this invention explained later by a diagram.

[0004] Refer to [ 17 ] drawing 17 . - (1)

the active-region top of the silicon semi-conductor substrate 1 -- wrap SiO<sub>2</sub> from -- Si<sub>3</sub> N<sub>4</sub> by which the laminating was carried out to the becoming pad film and this pad film from -- applying the alternative oxidizing [ thermally ] method using the becoming oxidation-resistant mask film -- depending -- SiO<sub>2</sub> from -- the thin thickness 2, for example, the field insulator layer of 4000 [\*\*], is formed.

17-(2)

applying the oxidizing [ thermally ] method, after removing the pad film and the oxidation-resistant mask film and making an active region express -- depending -- SiO<sub>2</sub> from -- the thin thickness 3, for example, the gate dielectric film of 100 [\*\*], is formed.

[0005] Refer to [ 18 ] drawing 18 . - (1)

the resist process and etching gas in a lithography technique -- CHF<sub>3</sub> \*\* -- reactive ion etching (reactive ion etching:RIE) to carry out -- it depends on applying law and contact hole 3A which performed alternative etching of gate dielectric film 3, and served as the aperture for impurity diffusion is formed.

[0006] Refer to [ 19 ] drawing 19 . - (1)

reduced pressure chemical vapor deposition (low pressure chemical vapour deposition:LPCVD) -- it depends on applying law and the first polycrystalline silicon film which is thickness [\*\*], 1000 [ for example, ], is formed.

19-(2)

P is introduced depending on applying a gaseous-phase diffusion method, and using high impurity concentration as  $1 \times 10^{21}$  [cm<sup>-3</sup>], and the n+-impurity range 4 is formed.

[0007] Refer to [ 20 ] drawing 20 and drawing 30 . - (1)

It is the resist process and etching gas in a lithography technique CCl<sub>4</sub>+O<sub>2</sub> It depends on applying the RIE method to carry out, patterning of the first polycrystalline silicon film is performed, and 6 and a word line WL are formed in gate electrode 5 list. In addition, in this case, since the first polycrystalline silicon film in a circumference circuit part is removed, it is not visible to drawing.

[0008] 20-(2)

As ion is driven in depending on applying ion-implantation, and setting a dose to  $1 \times 10^{15} \text{ [cm}^{-2}\text{]}$ , and using acceleration energy as 30 [keV], and the n<sup>+</sup>-source field 7 and the n<sup>+</sup>-drain field 8 are formed. In addition, the ion implantation for forming a p<sup>+</sup>-drain field in a p<sup>+</sup>-source field list, although not illustrated is also performed, and, similarly a dose is set to  $1 \times 10^{15} \text{ [cm}^{-2}\text{]}$  in that case, and acceleration energy is also the same and he is BF<sub>2</sub> as 30 [keV]. Ion is driven in.

20-(3)

The photograph resist film used when patterning of the first polycrystalline silicon film was carried out is removed.

[0009] Refer to [ 21 ] drawing 21 and drawing 31 . - (1)

LPCVD -- it depends on applying law and the insulator layer 9 which consists of thickness 2, for example, SiO of 1000 [\*\*], is formed.

21-(2)

It is etching gas CHF<sub>3</sub> It depends on applying the RIE method to carry out, and contact hole 9A (refer to drawing 31 ) for performing alternative etching of an insulator layer 9 and contacting the first polycrystalline silicon film and second polycrystalline silicon film is formed.

[0010] Refer to [ 22 ] drawing 22 and drawing 31 . - (1)

It depends on applying the LPCVD method and the second polycrystalline silicon film which is thickness [\*\*], 1000 [ for example, ], is formed.

22-(2)

P is introduced into the second polycrystalline silicon film, depending on applying a gaseous-phase diffusion method, and using high impurity concentration as  $1 \times 10^{21} \text{ [cm}^{-3}\text{]}$ .

[0011] 22-(3)

It is the resist process and etching gas in a photograph lithography technique CCl<sub>4</sub>+O<sub>2</sub> It depends on applying the RIE method to carry out, patterning of the second polycrystalline silicon film is performed, and the bottom gate electrodes 10 (refer to drawing 31 ) and 11 of TFT are formed. In addition, the bottom gate electrodes 10 and 11, such as this, do not need to say that it is in contact with the gate electrode 5 of the driving-side transistor formed by the first polycrystalline silicon film, or 6.

[0012] Refer to [ 23 ] drawing 23 . - (1)

applying a CVD method -- depending -- thickness 2, for example, SiO of 200 [\*\*], from -- the becoming insulator layer 12 is formed.

23-(2)

It depends on applying the RIE method which sets the resist process and etching gas in a lithography technique to CHF<sub>3</sub>+helium, alternative etching of an insulator layer 12 is performed, and the contact hole of the second polycrystalline silicon film and the third polycrystalline silicon film is formed.

[0013] Refer to [ 24 ] drawing 24 and drawing 32 . - (1)

It depends on applying the LPCVD method and thickness, for example, the third polycrystalline silicon film of 500 [\*\*], is formed.

24-(2)

He is BF<sub>2</sub>, using [ depend on applying the resist process and ion-implantation in a lithography technique, and ] acceleration energy as 10 [keV] at the part which should serve as a source field of TFT of the third polycrystalline silicon film, a drain field, and a VCC supply line using a dose as  $1 \times 10^{14} \text{ [cm}^{-2}\text{]}$ . Ion is driven in.

[0014] 24-(3)

It is etching gas to the resist process list in a lithography technique CCl<sub>4</sub> / O<sub>2</sub> To apply the RIE method to carry out therefore Patterning of the third polycrystalline silicon film A line in contact partial 13 (refer to drawing 32 ) list 14, the drain field 15 (refer to drawing 32 ) of TFT, the source field 16 (refer to drawing 32 ), the channel field 17, the drain field 18 (refer to drawing 32 ) of TFT and the source field 19 (refer to drawing 32 ), and the channel field 20 (refer to drawing 32 ), The VCC supply line 21 (refer to drawing 32 ) is formed.

[0015] Refer to [ 25 ] drawing 25 . - (1)

LPCVD -- applying law -- depending -- thickness 2, for example, SiO of 500 [\*\*], from -- the becoming insulator layer 22 is formed.

25-(2)

It is the resist process and etching gas in a lithography technique CHF<sub>3</sub> It depends on applying the RIE method to carry out, alternative etching of an insulator layer 22 is performed, and interconnect contact hole 22A of the third polycrystalline silicon film and the fourth polycrystalline silicon film which constitute the contact part 13 mentioned in relation to process 24-(3) is formed.

[0016] Refer to [ 26 ] drawing 26 and drawing 33 . - (1)

It depends on applying the LPCVD method and thickness, for example, the fourth polycrystalline silicon film of 1000 [\*\*], is formed.

26-(2)

P is introduced into the fourth polycrystalline silicon film, depending on applying a gaseous-phase diffusion method, and using high impurity concentration as  $1 \times 10^{20}$  [cm<sup>-3</sup>].

[0017] 26-(3)

It is etching gas to the resist process list in a lithography technique CCl<sub>4</sub>+O<sub>2</sub> It depends on applying the RIE method to carry out, patterning of the fourth polycrystalline silicon film is performed, and the upside gate electrodes 23 (refer to drawing 33 ) and 24 of TFT are formed. In addition, the upside gate electrodes 23 and 24, such as this, do not need to say that it is in contact with the gate electrode 5 of the driving-side transistor substantially formed by the first polycrystalline silicon film, or 6.

[0018] Refer to [ 27 ] drawing 27 . - (1)

applying a CVD method -- depending -- thickness 2, for example, SiO of 1000 [\*\*], from -- the becoming insulator layer 25 is formed.

[0019] 27-(2)

the resist process list in a lithography technique -- etching gas -- CHF<sub>3</sub> \*\* -- applying the RIE method to carry out -- depending -- SiO<sub>2</sub> from -- although becoming alternative etching of insulator layers 25, 22, 12, 9, and 3 is performed and contact hole 25A of a source field and the fifth polycrystalline silicon film is formed, contact hole 25B in this, simultaneously a circumference circuit part is also formed.

[0020] However, when forming contact hole 25B, since the VCC supply line 21 intervenes in the medium, insulator layers 25 and 22 are etched, but since it will be automatically stopped if the VCC supply line 21 is reached, the etching will be in a condition like a graphic display. In addition, only what was directed with the notation 7 as a source field in contact with the fifth polycrystalline silicon film is expressed by drawing.

[0021] Refer to [ 28 ] drawing 28 and drawing 34 . - (1)

It depends on applying the LPCVD method and thickness, for example, the fifth polycrystalline silicon film of 1000 [\*\*], is formed.

28-(2)

P ion is introduced into the fifth polycrystalline silicon film, using [ depend on applying the resist process and ion-implantation in a lithography technique, and ] acceleration energy as 30 [keV] using a dose as  $5 \times 10^{15}$  [cm<sup>-2</sup>]. For that reason, this ion implantation is for forming into n mold conductivity the part which should serve as a grounding conductor, a grounding conductor grounds the source field 7, and the source field 7 is n<sup>+</sup>. It depends on having become.

[0022] 28-(3)

He is BF<sub>2</sub> to the fifth polycrystalline silicon film, using [ depend on applying the resist process and ion-implantation in a lithography technique again, and ] acceleration energy as 30 [keV], after removing the resist film which is the ion-implantation mask used by process 28-(2) using a dose as  $2 \times 10^{15}$  [cm<sup>-2</sup>].

Ion is introduced. It is p<sup>+</sup>, in case this ion implantation is for forming into p mold conductivity the part which should serve as a VCC outgoing line, a VCC outgoing line contacts the VCC supply line 21 and, as for that reason, the VCC supply line 21 forms TFT. It depends on having become.

[0023] 28-(4)

It is etching gas to the resist process list in a lithography technique  $\text{CCl}_4 + \text{O}_2$ . It depends on applying the RIE method to carry out, and patterning of the fifth polycrystalline silicon film is performed and a grounding conductor 26, the drawer electrode 27 (refer to drawing 34), and the VCC outgoing line 29 in a circumference circuit part are formed.

[0024] Refer to [ 29 ] drawing 29 and drawing 35 . - (1)

LPCVD -- applying law -- depending -- thickness 2, for example,  $\text{SiO}$  of 500 [\*\*], from -- the insulator layer which consists of thin insulator layer and thickness, for example, BPSG of 3000 [\*\*], (borophosphosilicate glass) is formed. In addition, the insulator layer of said bilayer is made into one by a diagram, and it has expressed, and let this be an insulator layer 28.

29-(2)

Heat treatment to carry out a reflow of the insulator layer 28, and carry out flattening is performed.

[0025] 29-(3)

It is etching gas to the resist process list in a lithography technique  $\text{CHF}_3$ . It depends on applying the RIE method to carry out, alternative etching of an insulator layer 28 is performed, and bit line contact hole 28A (refer to drawing 35), and a VCC electrode and wiring contact hole 28B (refer to drawing 35) are formed.

[0026] 29-(4)

It depends on applying the sputtering method and thickness, for example, aluminum film of 1 [ $\mu\text{m}$ ], is formed, patterning of this is carried out by applying the usual photograph lithography technique, and a bit line BL, and /BL, and a VCC electrode and wiring 30 are formed. In addition, W film and the TiN film can be substituted for aluminum film, and a CVD method can also be substituted for the sputtering method. Moreover, in the source gas in the case of forming W film, it is  $\text{WF}_6 + \text{SiH}_4$ . In the source gas in the case of forming TiN, it is  $\text{TiCl}_4 + \text{NH}_3$ . It can use, respectively.

[0027]

[Problem(s) to be Solved by the Invention] In case the fifth polycrystalline silicon film is conductivity-ized in the Prior art which explained about drawing 17 thru/or drawing 35, as described to process 31-(2) and 31-(3), a grounding conductor 26 must be used as n mold in a memory part, and the VCC outgoing line 29 must be used as p mold in a circumference circuit part.

[0028] This depends on that it must be made the configuration between which pn junction is not made to be placed between each since the source field 7 where a grounding conductor 26 contacts is n mold and the VCC supply line 21 by which the VCC outgoing line 29 contacts is p mold, for this reason, a mask routing counter increases, a process becomes complicated, and that part and the manufacture yield are falling.

[0029] Moreover, originally, metaled VCC electrode and wiring 30 should take the VCC supply line 21 and contact, and although it is necessary in that case to form a contact hole in a wrap insulator layer in the VCC supply line 21, when the VCC supply line 21 cannot form thickly in connection with other, while carrying out over etching of the contact hole formed in an insulator layer, it may run through the VCC supply line 21. In order to avoid this, in said conventional example, the comparatively thick VCC outgoing line 29 is made to intervene between a VCC electrode and wiring 30, and the VCC supply line 21, like a structure division of the above mentioned pn, a mask routing counter increases, a process becomes complicated, and the part and the manufacture yield are falling. In addition, said over etching is indispensable in order for a contact hole to open certainly and to make a substrate express in all the parts in a wafer.

[0030] This invention is a very easy means, tends to make it possible to contact the thin silicon film, and a metal electrode and wiring directly, consequently tends to make a structure division of pn etc. unnecessary.

[0031]

[Means for Solving the Problem] In the semiconductor device which depends on this invention, and its

manufacture approach (1) a semi-conductor substrate (for example, silicon semi-conductor substrate 1) The etching halt layer (for example, etching halt layer 31 which consists of polycrystalline silicon) and insulator layers (for example, insulator layer 12 etc.) which were in the circumference circuit part on wrap insulator layers (for example, field insulator layer 2 etc.), and were formed on this insulator layer in the formation location of an electrode and a wiring contact hole are minded. The current supply line which consists of silicon which a laminating is carried out, and is connected with a memory part, and supplies a power source (for example, VCC supply line 21 which consists of polycrystalline silicon). The electrode and wiring contact hole which penetrates a laminated structure with the current supply line which consists of insulator layers (for example, insulator layers 28, 25, 22, 12, and 9 etc.) and silicon from a front face, and reaches an etching halt layer (for example, a VCC electrode and wiring contact hole 28B), or [ that it is characterized by coming to have the power-source electrode and wiring (for example, the VCC electrode and wiring 30 which consists of aluminum) which consists of a metal in contact with the side face of the current supply line which is in this front face, and this electrode and wiring contact hole, and consists of this silicon ] -- [0032] [ or ] With the process which forms an etching halt layer on a wrap insulator layer using some electric conduction film [ in / for a semi-conductor substrate / a memory circuit part ], to the electrode and wiring contact hole formation schedule field in a circumference circuit part, (2) Subsequently With the process which uses the current supply line which consists of an insulator layer which constitutes this memory circuit part, and silicon, and forms laminated structures, such as it, also in this circumference circuit part simultaneously, subsequently With the process which makes the side face of the current supply line which forms the electrode and wiring contact hole which reaches this etching halt layer from the front face in this circumference circuit part, and becomes the interior from this silicon express, subsequently It is characterized by coming to contain the process contacted on the side face of the current supply line which forms the power-source electrode and wiring which continues in a front face, and this electrode and wiring contact hole, and consists of a metal, and consists of this silicon.

[0033]

[Function] It also became unnecessary for it to become unnecessary to make the power-source outgoing line which depends on taking said means, and it becomes possible to contact the power-source electrode and wiring which consists of a current supply line which consists of thin silicon film, and a metal directly, therefore consists of thick silicon in the medium intervene consequently, and to carry out a structure division of pn etc. in a memory part and a circumference circuit part about the same silicon layer.

[0034]

[Example] The table of the important section top view of the TFT load mold SRAM in the process key point for drawing 11 thru/or drawing 16 to explain one example of this invention for the important section cutting side elevation of the TFT load mold SRAM in the process key point for drawing 1 thru/or drawing 10 to explain one example of this invention again has been carried out, respectively, and it explains to a detail hereafter, referring to drawings, such as this. In addition, the notation and this notation which were used in drawing 17 thru/or drawing 35 shall express a part for the said division, or shall have the same semantics. Moreover, drawing 1 thru/or the important section cutting side elevation of drawing 10 have taken the cutting plane in alignment with line X-X expressed to drawing 11 which is an important section top view. furthermore, a process, i.e., 20-, until it forms the n+-impurity range 4 again from the first process in the conventional example explaining drawing 17 thru/or drawing 35 -- since the process to (1) thru/or 22-(2) is the same also in this example, it is skipped, and it is explained from the next phase.

[0035] Refer to [ 1 ] drawing 1 and drawing 11 . - (1)

It is etching gas to the resist process list in a lithography technique CCl<sub>4</sub>+O<sub>2</sub> It depends on applying the RIE method to carry out, and patterning of the first polycrystalline silicon film is performed and the gate electrodes 5 and 6, the etching halt layer 31 corresponding to the VCC supply line installation field of a

circumference circuit part, and a word line WL (refer to drawing 11 ) are formed.

[0036] 1-(2)

As ion is driven in depending on applying ion-implantation, and setting a dose to  $1 \times 10^{15}$  [cm<sup>-2</sup>], and using acceleration energy as 30 [keV], and the n<sup>+</sup>-source field 7 and the n<sup>+</sup>-drain field 8 are formed. In addition, the ion implantation for forming a p<sup>+</sup>-drain field in a p<sup>+</sup>-source field list, although not illustrated is also performed, and, similarly a dose is set to  $1 \times 10^{15}$  [cm<sup>-2</sup>] in that case, and acceleration energy is also the same and he is BF<sub>2</sub> as 30 [keV]. Ion is driven in.

1-(3)

The photograph resist film used when patterning of the first polycrystalline silicon film was carried out is removed.

[0037] Refer to [ 2 ] drawing 2 and drawing 12 . - (1)

LPCVD -- it depends on applying law and the insulator layer 9 which consists of thickness 2, for example, SiO of 1000 [\*\*], is formed.

2-(2)

It is etching gas CHF<sub>3</sub> It depends on applying the RIE method to carry out, and contact hole 9A (refer to drawing 12 ) for performing alternative etching of an insulator layer 9 and contacting the first polycrystalline silicon film and second polycrystalline silicon film is formed.

[0038] Refer to [ 3 ] drawing 3 and drawing 12 . - (1)

It depends on applying the LPCVD method and the second polycrystalline silicon film which is thickness [\*\*], 1000 [ for example, ], is formed.

3-(2)

P is introduced into the second polycrystalline silicon film, depending on applying a gaseous-phase diffusion method, and using high impurity concentration as  $1 \times 10^{21}$  [cm<sup>-3</sup>].

[0039] 3-(3)

It is the resist process and etching gas in a lithography technique CCl<sub>4</sub>+O<sub>2</sub> It depends on applying the RIE method to carry out, patterning of the second polycrystalline silicon film is performed, and the bottom gate electrodes 10 (refer to drawing 12 ) and 11 of TFT are formed. In addition, the bottom gate electrodes 10 and 11, such as this, do not need to say that it is in contact with the gate electrode 5 of the driving-side transistor formed by the first polycrystalline silicon film, or 6. Moreover, in this case, since the second polycrystalline silicon film in a circumference circuit part is removed, it is not visible to drawing.

[0040] Refer to [ 4 ] drawing 4 . - (1)

applying a CVD method -- depending -- thickness 2, for example, SiO of 200 [\*\*], from -- the becoming insulator layer 12 is formed.

4-(2)

It depends on applying the RIE method which sets the resist process and etching gas in a lithography technique to CHF<sub>3</sub>+helium, alternative etching of an insulator layer 12 is performed, and the contact hole of the second polycrystalline silicon film and the third polycrystalline silicon film is formed.

[0041] Refer to [ 5 ] drawing 5 and drawing 13 . - (1)

It depends on applying the LPCVD method and thickness, for example, the third polycrystalline silicon film of 500 [\*\*], is formed.

5-(2)

He is BF<sub>2</sub>, using [ depend on applying the resist process and ion-implantation in a lithography technique, and ] acceleration energy as 10 [keV] at the part which should serve as a source field of TFT of the third polycrystalline silicon film, a drain field, and a VCC supply line using a dose as  $1 \times 10^{14}$  [cm<sup>-2</sup>]. Ion is driven in.

[0042] 5-(3)

It is etching gas to the resist process list in a lithography technique CCl<sub>4</sub> / O<sub>2</sub> To apply the RIE method to carry out therefore Patterning of the third polycrystalline silicon film A line in contact partial 13 (refer



to drawing 13 ) list 14, the drain field 15 (refer to drawing 13 ) of TFT, the source field 16 (refer to drawing 13 ), the channel field 17, the drain field 18 (refer to drawing 13 ) of TFT and the source field 19 (refer to drawing 13 ), and the channel field 20 (refer to drawing 13 ), The VCC supply line 21 (refer to drawing 13 ) is formed.

[0043] Refer to [ 6 ] drawing 6 . - (1)

LPCVD -- applying law -- depending -- thickness 2, for example, SiO of 500 [\*\*], from -- the becoming insulator layer 22 is formed.

6-(2)

It is the resist process and etching gas in a lithography technique CHF<sub>3</sub> It depends on applying the RIE method to carry out, alternative etching of an insulator layer 22 is performed, and interconnect contact hole 22A of the third polycrystalline silicon film and the fourth polycrystalline silicon film which constitute the contact part 13 mentioned in relation to process 5-(3) is formed.

[0044] Refer to [ 7 ] drawing 7 and drawing 14 . - (1)

It depends on applying the LPCVD method and thickness, for example, the fourth polycrystalline silicon film of 1000 [\*\*], is formed.

7-(2)

P is introduced into the fourth polycrystalline silicon film, depending on applying a gaseous-phase diffusion method, and using high impurity concentration as  $1 \times 10^{20}$  [cm<sup>-3</sup>].

[0045] 7-(3)

It is etching gas to the resist process list in a lithography technique CCl<sub>4</sub>+O<sub>2</sub> It depends on applying the RIE method to carry out, patterning of the fourth polycrystalline silicon film is performed, and the upside gate electrodes 23 (refer to drawing 14 ) and 24 of TFT are formed. In addition, the upside gate electrodes 23 and 24, such as this, do not need to say that it is in contact with the gate electrode 5 of the driving-side transistor substantially formed by the first polycrystalline silicon film, or 6. Moreover, in this case, since the fourth polycrystalline silicon film in a circumference circuit part is removed, it is not visible to drawing.

[0046] Refer to [ 8 ] drawing 8 . - (1)

applying a CVD method -- depending -- thickness 2, for example, SiO of 1000 [\*\*], from -- the becoming insulator layer 25 is formed.

8-(2)

the resist process list in a lithography technique -- etching gas -- CHF<sub>3</sub> \*\* -- applying the RIE method to carry out -- depending -- SiO<sub>2</sub> from -- becoming alternative etching of insulator layers 25, 22, 12, 9, and 3 is performed, and contact hole 25A of a source field and the fifth polycrystalline silicon film is formed. In addition, only what was directed with the notation 7 is expressed by drawing as a source field in contact with the fifth polycrystalline silicon film. Moreover, in this invention, it does not carry out forming the contact hole in a circumference circuit part in this phase.

[0047] Refer to [ 9 ] drawing 9 and drawing 15 . - (1)

It depends on applying the LPCVD method and thickness, for example, the fifth polycrystalline silicon film of 1000 [\*\*], is formed.

9-(2)

P is introduced into the fifth polycrystalline silicon film, depending on applying a gaseous-phase diffusion method, and using high impurity concentration as  $1 \times 10^{21}$  [cm<sup>-3</sup>]. There is no need, such as carrying out only to the part which should serve as a grounding conductor selectively that what is necessary is just to perform this gaseous-phase diffusion all over the fifth polycrystalline silicon film, and it is unnecessary. [ of a structure division / as / in the conventional example / of pn ]

[0048] 9-(3)

It is etching gas to the resist process list in a lithography technique CCl<sub>4</sub>+O<sub>2</sub> It depends on applying the RIE method to carry out, patterning of the fifth polycrystalline silicon film is performed, and a grounding conductor 26 and the drawer electrode 27 (refer to drawing 15 ) are formed.

[0049] Refer to [ 10 ] drawing 10 and drawing 16 . - (1)

LPCVD -- applying law -- depending -- thickness 2, for example, SiO of 500 [\*\*], from -- the insulator layer which consists of thin insulator layer and thickness, for example, BPSG of 3000 [\*\*], is formed. In addition, the insulator layer of said bilayer is made into one also here, and it has expressed, and let this be an insulator layer 28.

[0050] 10-(2)

Heat treatment to carry out a reflow of the insulator layer 28, and carry out flattening is performed.  
10-(3)

It is the resist process and etching gas in a lithography technique CHF3 It depends on applying the RIE method to carry out, alternative etching of an insulator layer 28 is performed, while forming bit line contact hole 28A (refer to drawing 16 ), alternative etching of the VCC supply line 21 which serves as an insulator layer 28 from 25, 22, and polycrystalline silicon, an insulator layer 12, and an insulator layer 9 is performed, and a VCC electrode and wiring contact hole 28B (refer to drawing 16 ) are formed. In addition, since this VCC electrode and wiring contact hole 28B may make the VCC supply line 21 penetrate, that formation is very easy.

[0051] At this process, when forming contact holes 28A and 28B, it sets into a memory part. Although an insulator layer is etched also in a memory part or a circumference circuit part since the etching halt layer 31 to which the grounding conductor 26 which becomes the substrate of an insulator layer 28 from polycrystalline silicon becomes the substrate of an insulator layer 9 from polycrystalline silicon in a circumference circuit part again intervenes, respectively Since it will be automatically stopped if a grounding conductor 26 or the etching halt layer 31 is reached, the etching will be in a condition like a graphic display. In addition, the etching halt layer 31 is not what was installed separately, and it is as having described above to use the polycrystalline silicon film of the first pass eye generally formed thickly. Moreover, the etching halt layer 31 is CHF3 actually, saying that the role of an etching halt is played. Although etched, even if it adds 1000 [\*\*] and over etching since it is thick as opposed to the VCC supply line 21 being 500 [\*\*], it will not result, by the time it penetrates and reaches a substrate 1. Incidentally, it is SiO<sub>2</sub>. When etching, the selection ratio with polycrystalline silicon is about ten.

[0052] 10-(4)

It depends on applying the sputtering method and thickness, for example, aluminum film of 1 [μm], is formed, patterning of this is carried out by applying the usual photograph lithography technique, and a bit line BL, and /BL, and a VCC electrode and wiring 30 are formed. In addition, even if it sets in this case, W film and the TiN film can be substituted for aluminum film, and a CVD method can also be substituted for the sputtering method. Moreover, in the source gas in the case of forming W film, it is WF<sub>6</sub>+SiH<sub>4</sub>. In the source gas in the case of forming TiN, it is TiCl<sub>4</sub>+NH<sub>3</sub>. It can use, respectively. The VCC electrode and the wiring 30 formed here are in the condition of contacting the side face of the VCC supply line 21 expressed in contact hole 28B.

[0053]

[Effect of the Invention] Laminating formation of the current-supply line has carried out through the insulator layer on the etching halt layer in an electrode and a wiring contact hole formation location, and the electrode and the wiring contact hole which reaches an etching halt layer from a front face is formed, and the power-source electrode and wiring which consists of a metal in contact with the side face of a current supply line is formed in its electrode and wiring contact hole in the semiconductor device which depends on this invention, and its manufacture approach.

[0054] It also became unnecessary for it to become unnecessary to make the power-source outgoing line which depends on taking said configuration, and it becomes possible to contact the power-source electrode and wiring which consists of a current supply line which consists of thin silicon film, and a metal directly, therefore consists of thick silicon in the medium intervene consequently, and to carry out a structure division of pn etc. in a memory part and a circumference circuit part about the same silicon layer.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 2] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 3] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 4] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 5] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 6] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 7] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 8] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 9] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 10] It is the important section cutting side elevation of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 11] It is the important section top view of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 12] It is the important section top view of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 13] It is the important section top view of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 14] It is the important section top view of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 15] It is the important section top view of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 16] It is the important section top view of the TFT load mold SRAM in the process key point for explaining this invention 1 example.

[Drawing 17] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 18] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 19] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 20] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 21] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 22] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 23] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 24] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 25] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 26] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 27] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 28] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 29] It is an important section cutting side elevation in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 30] It is an important section top view in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 31] It is an important section top view in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 32] It is an important section top view in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 33] It is an important section top view in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 34] It is an important section top view in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Drawing 35] It is an important section top view in the process key point for explaining the conventional example of the approach of manufacturing the TFT load mold SRAM.

[Description of Notations]

- 1 Silicon Semi-conductor Substrate
- 2 Field Insulator Layer
- 3 Gate Dielectric Film
- 3A Contact hole
- 4 N<sup>+</sup>-Impurity Range
- 5 Gate Electrode
- 6 Gate Electrode
- 7 N<sup>+</sup>-Source Field
- 8 N<sup>+</sup>-Drain Field
- 9 Insulator Layer

9A Contact hole  
10 Bottom Gate Electrode  
11 Bottom Gate Electrode  
12 Insulator Layer  
13 Contact Part  
14 Contact Part  
15 Drain Field of TFT  
16 Source Field of TFT  
17 Channel Field of TFT  
18 Drain Field of TFT  
19 Source Field of TFT  
20 Channel Field of TFT  
21 VCC Supply Line  
22 Insulator Layer  
22A Contact hole  
23 Upside Gate Electrode  
24 Upside Gate Electrode  
25 Insulator Layer  
25A Contact hole  
25B Contact hole  
26 Grounding Conductor  
27 Drawer Electrode  
28 Insulator Layer  
28A Bit line contact hole  
28B Contact hole  
29 VCC Outgoing Line  
30 VCC Electrode and Wiring  
31 Etching Halt Layer  
BL Bit line  
/BL Bit line  
WL Word line

---

[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-259408

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/11

21/90

27/04

D 7735-4M

D 8427-4M

8728-4M

9056-4M

H 0 1 L 27/ 10

3 8 1

29/ 78

3 1 1 C

審査請求 未請求 請求項の数2(全21頁) 最終頁に続く

(21)出願番号

特願平4-57658

(22)出願日

平成4年(1992)3月16日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 板橋 和夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 江間 泰示

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

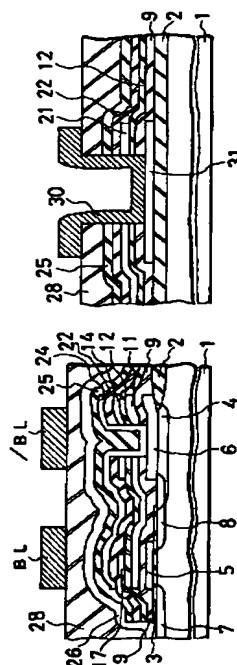
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 半導体装置及びその製造方法に関し、極めて簡単な手段で、薄いシリコン膜と金属電極・配線とを直接コンタクトさせることを可能とし、その結果、pnの作り分けなども不要にしようとする。

【構成】 半導体基板1を覆う絶縁膜2上の周辺回路部分に在って電極・配線コンタクト・ホール28Bの形成位置では絶縁膜2上に形成されたエッチング停止層31と絶縁膜12を介し積層され且つメモリ部分と接続されて電源を供給するシリコンからなるV<sub>CC</sub>供給線21と、絶縁膜28, 25, 22, 12, 9や多結晶シリコンからなるV<sub>CC</sub>供給線21などの積層構造を貫通してエッチング停止層31に達する電極・配線コンタクト・ホール28Bと、電極・配線コンタクト・ホール28B内に於いて表出されている多結晶シリコンからなるV<sub>CC</sub>供給線21の側面とコンタクトしたA1などからなるV<sub>CC</sub>電極・配線30とを備える。

実施例の製造工程を説明する為の工程要所に於ける半導体装置の要部切断側面図



28: 絶縁膜  
30: V<sub>CC</sub>電極・配線

(2)

## 【特許請求の範囲】

【請求項1】半導体基板を覆う絶縁膜上の周辺回路部分に在って電極・配線コンタクト・ホール形成位置では該絶縁膜上に形成されたエッチング停止層と絶縁膜を介して積層され且つメモリ部分と接続されて電源を供給するシリコンからなる電源供給線と、

表面から絶縁膜とシリコンからなる電源供給線との積層構造を貫通してエッチング停止層に達する電極・配線コンタクト・ホールと、

該表面及び該電極・配線コンタクト・ホール内に在って該シリコンからなる電源供給線の側面とコンタクトしてある金属からなる電源電極・配線とを備えてなることを特徴とする半導体装置。

【請求項2】半導体基板を覆う絶縁膜上にメモリ回路部分に於ける導電膜の一部を利用して周辺回路部分に於ける電極・配線コンタクト・ホール形成予定領域にエッチング停止層を形成する工程と、

次いで、該メモリ回路部分を構成する絶縁膜とシリコンからなる電源供給線とを利用し同時に該周辺回路部分にもそれ等の積層構造を形成する工程と、

次いで、該周辺回路部分に於ける表面から該エッチング停止層に達する電極・配線コンタクト・ホールを形成してその内部に該シリコンからなる電源供給線の側面を表出させる工程と、

次いで、表面及び該電極・配線コンタクト・ホール内に互って金属からなる電源電極・配線を形成して該シリコンからなる電源供給線の側面にコンタクトさせる工程とが含まれてなることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、薄膜の導電層に電極コンタクトをとることが必要な半導体装置及びそれを製造する方法の改良に関する。

【0002】一般に、半導体装置に於いては、薄膜の導電層、例えば、薄膜の多結晶シリコン層に電極コンタクトをとることが必要であることは多い。近年、例えば、TFT (thin film transistor) を負荷とするSRAMが実現されているが、TFTを負荷とすることに起因して、薄膜の導電層に電極コンタクトをとる際、種々と問題が起こるので、それを解消する必要がある。

## 【0003】

【従来の技術】図17乃至図29はTFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図を、また、図30乃至図35はTFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部平面図をそれぞれ表してあり、以下、これ等の図を参照しつつ説明する。尚、図17乃至図29の要部切断側面図は要部平面図である図30に

表されている線X-Xに沿う切断面を採ってある。また、図では、SRAMを分断して描いてあるが、向かって左側はメモリ部分を、そして、同じく右側は周辺回路部分をそれぞれ表して、この表し方は、後に説明する本発明の実施例に於いても同じである。

## 【0004】図17参照

## 17-(1)

シリコン半導体基板1の活性領域上を覆う $\text{SiO}_2$ からなるパッド膜及び該パッド膜に積層された $\text{Si}_3\text{N}_4$ からなる耐酸化性マスク膜を利用して選択的熱酸化法を適用することに依り、 $\text{SiO}_2$ からなる厚さ例えば4000[Å]のフィールド絶縁膜2を形成する。

## 17-(2)

パッド膜や耐酸化性マスク膜を除去して活性領域を表出させてから、熱酸化法を適用することに依り、 $\text{SiO}_2$ からなる厚さ例えば100[Å]のゲート絶縁膜3を形成する。

## 【0005】図18参照

## 18-(1)

リソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを $\text{CHF}_3$ とする反応性イオン・エッチング (reactive ion etching: RIE) 法を適用することに依り、ゲート絶縁膜3の選択的エッチングを行って不純物拡散用窓を兼ねたコンタクト・ホール3Aを形成する。

## 【0006】図19参照

## 19-(1)

減圧化学気相堆積 (low pressure chemical vapour deposition: LPCVD) 法を適用することに依り、厚さ例えば1000[Å]である第一の多結晶シリコン膜を形成する。

## 19-(2)

気相拡散法を適用することに依り、不純物濃度を例えば $1 \times 10^{21} [\text{cm}^{-3}]$ としてPの導入を行って $n^+$ -不純物領域4を形成する。

## 【0007】図20及び図30参照

## 20-(1)

リソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを $\text{CCl}_4 + \text{O}_2$ とするRIE法を適用することに依り、第一の多結晶シリコン膜のパターニングを行ってゲート電極5並びに6、ワード線WLを形成する。尚、この際、周辺回路部分に於ける第一の多結晶シリコン膜は除去されるので図には見えない。

## 【0008】20-(2)

イオン注入法を適用することに依り、ドーズ量を例えば $1 \times 10^{15} [\text{cm}^{-2}]$ とし、また、加速エネルギーを30[kV]としてAsイオンの打ち込みを行って $n^+$ -ソース領域7及び $n^+$ -ドレイン領域8を形成する。尚、図示されていないが、 $p^+$ -ソース領域並びに $p^+$ -ドレイン領域を形成する為のイオン注入も行われ、そ

(3)

の場合には、ドーズ量を同じく  $1 \times 10^{15} [\text{cm}^{-2}]$  とし、また、加速エネルギーも同じく  $30 [\text{keV}]$  として  $\text{BF}_2$  イオンの打ち込みを行うものである。

20 - (3)

第一の多結晶シリコン膜をパターニングした際に用いたフォト・レジスト膜を除去する。

【0009】図21及び図31参照

21 - (1)

LPCVD法を適用することに依り、厚さ例えば  $1000 [\text{\AA}]$  の  $\text{SiO}_2$  からなる絶縁膜9を形成する。

21 - (2)

エッチング・ガスを  $\text{CHF}_3$  とするRIE法を適用することに依り、絶縁膜9の選択的エッチングを行って第一の多結晶シリコン膜と第二多結晶シリコン膜とをコンタクトさせる為のコンタクト・ホール9A (図31参照) を形成する。

【0010】図22及び図31参照

22 - (1)

LPCVD法を適用することに依り、厚さ例えば  $1000 [\text{\AA}]$  である第二の多結晶シリコン膜を形成する。

22 - (2)

気相拡散法を適用することに依り、不純物濃度を例えば  $1 \times 10^{21} [\text{cm}^{-3}]$  として第二の多結晶シリコン膜にPの導入を行う。

【0011】22 - (3)

フォト・リソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを  $\text{CCl}_4 + \text{O}_2$  とするRIE法を適用することに依り、第二の多結晶シリコン膜のパターニングを行ってTFTの下側ゲート電極10 (図31参照) 及び11を形成する。尚、これ等の下側ゲート電極10及び11は第一の多結晶シリコン膜で形成された駆動側トランジスタのゲート電極5或いは6とコンタクトしていることは云うまでもない。

【0012】図23参照

23 - (1)

CVD法を適用することに依り、厚さ例えば  $200 [\text{\AA}]$  の  $\text{SiO}_2$  からなる絶縁膜12を形成する。

23 - (2)

リソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを  $\text{CHF}_3 + \text{He}$  とするRIE法を適用することに依り、絶縁膜12の選択的エッチングを行って第二の多結晶シリコン膜と第三の多結晶シリコン膜とのコンタクト・ホールを形成する。

【0013】図24及び図32参照

24 - (1)

LPCVD法を適用することに依り、厚さ例えば  $500 [\text{\AA}]$  の第三の多結晶シリコン膜を形成する。

24 - (2)

リソグラフィ技術に於けるレジスト・プロセス及びイオン注入法を適用することに依り、第三の多結晶シリコン

4

膜のTFTのソース領域とドレイン領域、 $V_{CC}$ 供給線となるべき部分にドーズ量を  $1 \times 10^{14} [\text{cm}^{-2}]$ 、そして、加速エネルギーを  $10 [\text{keV}]$  として  $\text{BF}_2$  イオンの打ち込みを行う。

【0014】24 - (3)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを  $\text{CCl}_4 / \text{O}_2$  とするRIE法を適用することに依って、第三の多結晶シリコン膜のパターニングを行ってコンタクト部分13 (図32参照) 並びに14、TFTのドレイン領域15 (図32参照) とソース領域16 (図32参照) とチャンネル領域17、TFTのドレイン領域18 (図32参照) とソース領域19 (図32参照) とチャンネル領域20 (図32参照)、 $V_{CC}$ 供給線21 (図32参照) を形成する。

【0015】図25参照

25 - (1)

LPCVD法を適用することに依り、厚さ例えば  $500 [\text{\AA}]$  の  $\text{SiO}_2$  からなる絶縁膜22を形成する。

25 - (2)

リソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを  $\text{CHF}_3$  とするRIE法を適用することに依り、絶縁膜22の選択的エッチングを行って、工程24 - (3)に関連して挙げられたコンタクト部分13などを構成している第三の多結晶シリコン膜と第四の多結晶シリコン膜との相互接続コンタクト・ホール22Aを形成する。

【0016】図26及び図33参照

26 - (1)

LPCVD法を適用することに依り、厚さ例えば  $1000 [\text{\AA}]$  の第四の多結晶シリコン膜を形成する。

26 - (2)

気相拡散法を適用することに依り、不純物濃度を例えば  $1 \times 10^{20} [\text{cm}^{-3}]$  として第四の多結晶シリコン膜にPの導入を行う。

【0017】26 - (3)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを  $\text{CCl}_4 + \text{O}_2$  とするRIE法を適用することに依り、第四の多結晶シリコン膜のパターニングを行ってTFTの上側ゲート電極23 (図33参照) 及び24を形成する。尚、これ等の上側ゲート電極23及び24は実質的に第一の多結晶シリコン膜で形成された駆動側トランジスタのゲート電極5或いは6とコンタクトしていることは云うまでもない。

【0018】図27参照

27 - (1)

CVD法を適用することに依り、厚さ例えば  $1000 [\text{\AA}]$  の  $\text{SiO}_2$  からなる絶縁膜25を形成する。

【0019】27 - (2)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを  $\text{CHF}_3$  とするRIE法を適用するこ

10

20

30

40

50



(4)

5

とに依り、 $\text{SiO}_2$  からなる絶縁膜 25、22、12、9、3の選択的エッチングを行ってソース領域と第五の多結晶シリコン膜とのコンタクト・ホール 25Aを形成するのであるが、これと同時に周辺回路部分に於けるコンタクト・ホール 25Bも形成する。

【0020】但し、コンタクト・ホール 25Bを形成する場合、中間に $V_{CC}$ 供給線 21が介在しているので、絶縁膜 25及び22はエッチングされるが、そのエッチングは $V_{CC}$ 供給線 21に達すると自動的に停止されてしまうので、図示のような状態になる。尚、図には、第五の多結晶シリコン膜とコンタクトするソース領域としては

記号7で指示されたもののみが表されている。

【0021】図28及び図34参照

28-(1)

LPCVD法を適用することに依り、厚さ例えば100[Å]の第五の多結晶シリコン膜を形成する。

28-(2)

リソグラフィ技術に於けるレジスト・プロセス及びイオン注入法を適用することに依り、ドーズ量を例えば $5 \times 10^{15} [\text{cm}^{-2}]$ 、そして、加速エネルギーを30[k e V]として第五の多結晶シリコン膜にPイオンの導入を行う。このイオン注入は接地線となるべき部分をn型導電性化する為であり、その理由は、接地線が例えばソース領域7を接地するものであって、ソース領域7が $n^+$ になっていることに依る。

【0022】28-(3)

工程28-(2)で利用したイオン注入マスクであるレジスト膜を除去してから、再び、リソグラフィ技術に於けるレジスト・プロセス及びイオン注入法を適用することに依り、ドーズ量を例えば $2 \times 10^{15} [\text{cm}^{-2}]$ 、そして、加速エネルギーを30[k e V]として第五の多結晶シリコン膜に $\text{BF}_2$ イオンの導入を行う。このイオン注入は $V_{CC}$ 引き出し線となるべき部分をp型導電性化する為であり、その理由は、 $V_{CC}$ 引き出し線が $V_{CC}$ 供給線21にコンタクトするものであって、 $V_{CC}$ 供給線21がTFTを形成する際に $p^+$ になっていることに依る。

【0023】28-(4)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを $\text{CCl}_4 + \text{O}_2$ とするRIE法を適用することに依り、第五の多結晶シリコン膜のパターニングを行って接地線26及び引き出し電極27(図34参照)及び周辺回路部分に於ける $V_{CC}$ 引き出し線29を形成する。

【0024】図29及び図35参照

29-(1)

LPCVD法を適用することに依り、厚さ例えば500[Å]の $\text{SiO}_2$ からなる絶縁膜及び厚さ例えば3000[Å]のBPSG(borophosphosilicate glass)からなる絶縁膜を形成する。

尚、図では前記二層の絶縁膜を一体にして表してあり、

6

これを絶縁膜28とする。

29-(2)

絶縁膜28をリフローして平坦化する為の熱処理を行う。

【0025】29-(3)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを $\text{CHF}_3$ とするRIE法を適用することに依り、絶縁膜28の選択的エッチングを行ってビット線コンタクト・ホール28A(図35参照)や $V_{CC}$ 電極・配線コンタクト・ホール28B(図35参照)を形成する。

【0026】29-(4)

スパッタリング法を適用することに依り、厚さ例えば1[μm]のA1膜を形成し、これを通常のフォトリソグラフィ技術を適用することでパターニングしてビット線BL及び/BLや $V_{CC}$ 電極・配線30を形成する。尚、A1膜は、W膜やTiN膜に代替することができ、そして、スパッタリング法はCVD法に代替することもできる。また、W膜を形成する場合のソース・ガスには $\text{WF}_6 + \text{SiH}_4$ を、TiNを形成する場合のソース・ガスには $\text{TiCl}_4 + \text{NH}_3$ をそれぞれ用いることができる。

【0027】

【発明が解決しようとする課題】図17乃至図35について説明した従来の技術に於いては、第五の多結晶シリコン膜を導電性化する際、工程31-(2)及び31-(3)に記述してあるように、メモリ部分では接地線26をn型に、また、周辺回路部分では $V_{CC}$ 引き出し線29をp型にしなければならない。

【0028】これは、接地線26がコンタクトするソース領域7がn型であり、また、 $V_{CC}$ 引き出し線29がコンタクトする $V_{CC}$ 供給線21がp型であることから、それぞれの間にpn接合を介在させない構成にしなければならないことに依るものであり、この為、マスク工程数は多くなり、工程が煩雑になって、その分、製造歩留りが低下している。

【0029】また、本来、金属の $V_{CC}$ 電極・配線30は $V_{CC}$ 供給線21とコンタクトをとるべきものであり、その場合、 $V_{CC}$ 供給線21を覆う絶縁膜にコンタクト・ホールを形成することが必要となるが、 $V_{CC}$ 供給線21が他との関連で厚く形成することができない場合には、絶縁膜に形成するコンタクト・ホールをオーバ・エッチングしている間に $V_{CC}$ 供給線21を突き抜けてしまうことがある。これを回避する為、前記従来例では、 $V_{CC}$ 電極・配線30と $V_{CC}$ 供給線21との間に比較的厚い $V_{CC}$ 引き出し線29を介在させているものであり、前記したpnの作り分けと同様、マスク工程数が多くなり、工程が煩雑になって、その分、製造歩留りが低下している。

尚、前記オーバ・エッチングは、ウエハに於ける全ての部分に於いてコンタクト・ホールが確実に開いて下地を

(5)

7

表出させる為に必須である。

【0030】本発明は、極めて簡単な手段で、薄いシリコン膜と金属電極・配線とを直接コンタクトさせることを可能とし、その結果、pnの作り分けなども不要にしようとする。

【0031】

【課題を解決するための手段】本発明に依る半導体装置及びその製造方法に於いては、

(1) 半導体基板（例えばシリコン半導体基板1）を覆う絶縁膜（例えばフィールド絶縁膜2など）上の周辺回路部分に在って電極・配線コンタクト・ホール形成位置では該絶縁膜上に形成されたエッチング停止層（例えば多結晶シリコンからなるエッチング停止層31）と絶縁膜（例えば絶縁膜12など）を介して積層され且つメモリ部分と接続されて電源を供給するシリコンからなる電源供給線（例えば多結晶シリコンからなるV<sub>CC</sub>供給線21）と、表面から絶縁膜（例えば絶縁膜28、25、22、12、9など）とシリコンからなる電源供給線との積層構造を貫通してエッチング停止層に達する電極・配線コンタクト・ホール（例えばV<sub>CC</sub>電極・配線コンタクト・ホール28B）と、該表面及び該電極・配線コンタクト・ホール内に在って該シリコンからなる電源供給線の側面とコンタクトしている金属からなる電源電極・配線（例えばA1からなるV<sub>CC</sub>電極・配線30）とを備えてなることを特徴とするか、或いは、

【0032】(2) 半導体基板を覆う絶縁膜上にメモリ回路部分に於ける導電膜の一部を利用して周辺回路部分に於ける電極・配線コンタクト・ホール形成予定領域にエッチング停止層を形成する工程と、次いで、該メモリ回路部分を構成する絶縁膜とシリコンからなる電源供給線とを利用し同時に該周辺回路部分にもそれ等の積層構造を形成する工程と、次いで、該周辺回路部分に於ける表面から該エッチング停止層に達する電極・配線コンタクト・ホールを形成してその内部に該シリコンからなる電源供給線の側面を表出させる工程と、次いで、表面及び該電極・配線コンタクト・ホール内に互って金属からなる電源電極・配線を形成して該シリコンからなる電源供給線の側面にコンタクトさせる工程とが含まれてなることを特徴とする。

【0033】

【作用】前記手段を採ることに依り、薄いシリコン膜からなる電源供給線と金属からなる電源電極・配線とを直接コンタクトさせることが可能となり、従って、その中間に厚いシリコンからなる電源引き出し線などを介在させる必要はなくなり、その結果、同一のシリコン層についてメモリ部分と周辺回路部分とでpnの作り分けなどをすることも不要になった。

【0034】

【実施例】図1乃至図10は本発明の一実施例を解説する為の工程要所に於けるTFT負荷型SRAMの要部切

8

断側面図を、また、図11乃至図16は本発明の一実施例を解説する為の工程要所に於けるTFT負荷型SRAMの要部平面図をそれぞれ表してあり、以下、これ等の図を参照しつつ詳細に説明する。尚、図17乃至図35に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとし、また、図1乃至図10の要部切断側面図は要部平面図である図11に表されている線X-Xに沿う切断面を採っており、更にまた、図17乃至図35について説明した従来例に於ける最初の工程からn<sup>+</sup>-不純物領域4を形成するまでの工程、即ち、20-(1)乃至22-(2)までの工程は本実施例においても同じであるから省略し、その次の段階から説明する。

【0035】図1及び図11参照

1-(1)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスをCCl<sub>4</sub>+O<sub>2</sub>とするRIE法を適用することに依り、第一の多結晶シリコン膜のパターニングを行ってゲート電極5及び6、周辺回路部分のV<sub>CC</sub>供給線設置領域に対応するエッチング停止層31、ワード線WL（図11参照）を形成する。

【0036】1-(2)

イオン注入法を適用することに依り、ドーズ量を例えば1×10<sup>15</sup> [cm<sup>-2</sup>]とし、また、加速エネルギーを30 [keV]としてAsイオンの打ち込みを行ってn<sup>+</sup>-ソース領域7及びn<sup>+</sup>-ドレイン領域8を形成する。尚、図示されていないが、p<sup>+</sup>-ソース領域並びにp<sup>+</sup>-ドレイン領域を形成する為のイオン注入も行われ、その場合には、ドーズ量を同じく1×10<sup>15</sup> [cm<sup>-2</sup>]とし、また、加速エネルギーも同じく30 [keV]としてBF<sub>2</sub>イオンの打ち込みを行うものである。

1-(3)

第一の多結晶シリコン膜をパターニングした際に用いたフォトリソ膜を除去する。

【0037】図2及び図12参照

2-(1)

LPCVD法を適用することに依り、厚さ例えば1000 [Å]のSiO<sub>2</sub>からなる絶縁膜9を形成する。

2-(2)

エッチング・ガスをCHF<sub>3</sub>とするRIE法を適用することに依り、絶縁膜9の選択的エッチングを行って第一の多結晶シリコン膜と第二多結晶シリコン膜とをコンタクトさせる為のコンタクト・ホール9A（図12参照）を形成する。

【0038】図3及び図12参照

3-(1)

LPCVD法を適用することに依り、厚さ例えば1000 [Å]である第二の多結晶シリコン膜を形成する。

3-(2)

気相拡散法を適用することに依り、不純物濃度を例えば

(6)

9

$1 \times 10^{21} [\text{cm}^{-3}]$  として第二の多結晶シリコン膜にPの導入を行う。

【0039】3-(3)

リソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを  $\text{CCl}_4 + \text{O}_2$  とするRIE法を適用することに依り、第二の多結晶シリコン膜のパターニングを行ってTFTの下側ゲート電極10 (図12参照) 及び11を形成する。尚、これ等の下側ゲート電極10及び11は第一の多結晶シリコン膜で形成された駆動側トランジスタのゲート電極5或いは6とコンタクトしていることは云うまでもない。また、この際、周辺回路部分に於ける第二の多結晶シリコン膜は除去されるので図には見えない。

【0040】図4参照

4-(1)

CVD法を適用することに依り、厚さ例えば200 [Å] の  $\text{SiO}_2$  からなる絶縁膜12を形成する。

4-(2)

リソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを  $\text{CHF}_3 + \text{He}$  とするRIE法を適用することに依り、絶縁膜12の選択的エッチングを行って第二の多結晶シリコン膜と第三の多結晶シリコン膜とのコンタクト・ホールを形成する。

【0041】図5及び図13参照

5-(1)

LPCVD法を適用することに依り、厚さ例えば500 [Å] の第三の多結晶シリコン膜を形成する。

5-(2)

リソグラフィ技術に於けるレジスト・プロセス及びイオン注入法を適用することに依り、第三の多結晶シリコン膜のTFTのソース領域とドレイン領域、 $V_{CC}$ 供給線となるべき部分にドーズ量を  $1 \times 10^{14} [\text{cm}^{-2}]$ 、そして、加速エネルギーを10 [keV] として $\text{BF}_2$  イオンの打ち込みを行う。

【0042】5-(3)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを  $\text{CCl}_4 / \text{O}_2$  とするRIE法を適用することに依って、第三の多結晶シリコン膜のパターニングを行ってコンタクト部分13 (図13参照) 並びに14、TFTのドレイン領域15 (図13参照) とソース領域16 (図13参照) とチャネル領域17、TFTのドレイン領域18 (図13参照) とソース領域19 (図13参照) とチャネル領域20 (図13参照)、 $V_{CC}$ 供給線21 (図13参照) を形成する。

【0043】図6参照

6-(1)

LPCVD法を適用することに依り、厚さ例えば500 [Å] の  $\text{SiO}_2$  からなる絶縁膜22を形成する。

6-(2)

リソグラフィ技術に於けるレジスト・プロセス及びエ

10

ッチング・ガスを  $\text{CHF}_3$  とするRIE法を適用することに依り、絶縁膜22の選択的エッチングを行って、工程5-(3)に関連して挙げられたコンタクト部分13などを構成している第三の多結晶シリコン膜と第四の多結晶シリコン膜との相互接続コンタクト・ホール22Aを形成する。

【0044】図7及び図14参照

7-(1)

LPCVD法を適用することに依り、厚さ例えば1000 [Å] の第四の多結晶シリコン膜を形成する。

7-(2)

気相拡散法を適用することに依り、不純物濃度を例えば  $1 \times 10^{20} [\text{cm}^{-3}]$  として第四の多結晶シリコン膜にPの導入を行う。

【0045】7-(3)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを  $\text{CCl}_4 + \text{O}_2$  とするRIE法を適用することに依り、第四の多結晶シリコン膜のパターニングを行ってTFTの上側ゲート電極23 (図14参照) 及び24を形成する。尚、これ等の上側ゲート電極23及び24は実質的に第一の多結晶シリコン膜で形成された駆動側トランジスタのゲート電極5或いは6とコンタクトしていることは云うまでもない。また、この際、周辺回路部分に於ける第四の多結晶シリコン膜は除去されるので図には見えない。

【0046】図8参照

8-(1)

CVD法を適用することに依り、厚さ例えば1000 [Å] の  $\text{SiO}_2$  からなる絶縁膜25を形成する。

8-(2)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを  $\text{CHF}_3$  とするRIE法を適用することに依り、 $\text{SiO}_2$  からなる絶縁膜25、22、12、9、3の選択的エッチングを行ってソース領域と第五の多結晶シリコン膜とのコンタクト・ホール25Aを形成する。尚、第五の多結晶シリコン膜とコンタクトするソース領域として、図には記号7で指示されたもののみが表されている。また、本発明に於いては、この段階で周辺回路部分に於けるコンタクト・ホールを形成することはない。

【0047】図9及び図15参照

9-(1)

LPCVD法を適用することに依り、厚さ例えば1000 [Å] の第五の多結晶シリコン膜を形成する。

9-(2)

気相拡散法を適用することに依り、不純物濃度を例えば  $1 \times 10^{21} [\text{cm}^{-3}]$  として第五の多結晶シリコン膜にPの導入を行う。この気相拡散は第五の多結晶シリコン膜全面に行えば良く、接地線となるべき部分のみに選択的に行うなどの必要はなく、また、従来例に於けるような

(7)

11

p nの作り分けも不要である。

【0048】9-(3)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスを $\text{CCl}_4 + \text{O}_2$ とするRIE法を適用することに依り、第五の多結晶シリコン膜のパターニングを行って接地線26及び引き出し電極27(図15参照)を形成する。

【0049】図10及び図16参照

10-(1)

LPCVD法を適用することに依り、厚さ例えば500[Å]の $\text{SiO}_2$ からなる絶縁膜及び厚さ例えば3000[Å]のBPSGからなる絶縁膜を形成する。尚、ここでも前記二層の絶縁膜を一体にして表してあり、これを絶縁膜28とする。

【0050】10-(2)

絶縁膜28をリフローして平坦化する為の熱処理を行う。

10-(3)

リソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを $\text{CHF}_3$ とするRIE法を適用することに依り、絶縁膜28の選択的エッチングを行ってビット線コンタクト・ホール28A(図16参照)を形成すると共に絶縁膜28と25と22、多結晶シリコンからなる $V_{CC}$ 供給線21、絶縁膜12と絶縁膜9の選択的エッチングを行って、 $V_{CC}$ 電極・配線コンタクト・ホール28B(図16参照)を形成する。尚、この $V_{CC}$ 電極・配線コンタクト・ホール28Bは $V_{CC}$ 供給線21を貫通させて良いので、その形成は極めて容易である。

【0051】本工程で、コンタクト・ホール28A及び28Bを形成する場合、メモリ部分に於いては、絶縁膜28の下地に多結晶シリコンからなる接地線26が、また、周辺回路部分に於いては、絶縁膜9の下地に多結晶シリコンからなるエッチング停止層31がそれぞれ介在しているので、メモリ部分でも周辺回路部分でも絶縁膜はエッチングされるが、そのエッチングは接地線26、或いは、エッチング停止層31に達すると自動的に停止されてしまうので、図示のような状態になる。尚、エッチング停止層31は別設したのではなく、一般的に厚く形成される第一層目の多結晶シリコン膜を利用したものであることは前記した通りである。また、エッチング停止層31は、エッチング停止の役割を果たすとは言いながら、実際には、 $\text{CHF}_3$ でエッチングされるのであるが、 $V_{CC}$ 供給線21が例えば500[Å]であるのに対し、例えば1000[Å]と厚いことから、オーバ・エッチングを加えても、貫通して基板1に達するまでには至らない。因に、 $\text{SiO}_2$ をエッチングする場合、多結晶シリコンとの選択比は10程度である。

【0052】10-(4)

スパッタリング法を適用することに依り、厚さ例えば1[μm]のAl膜を形成し、これを通常のフォトリソ

12

グラフィ技術を適用することでパターニングしてビット線BL及び/BLや $V_{CC}$ 電極・配線30を形成する。

尚、この場合に於いてもAl膜は、W膜やTiN膜に代替することができ、そして、スパッタリング法はCVD法に代替することもできる。また、W膜を形成する場合のソース・ガスには $\text{WF}_6 + \text{SiH}_4$ を、TiNを形成する場合のソース・ガスには $\text{TiCl}_4 + \text{NH}_3$ をそれぞれ用いることができる。ここで形成した $V_{CC}$ 電極・配線30は、コンタクト・ホール28B内に表出される $V_{CC}$ 供給線21の側面とコンタクトする状態になっている。

【0053】

【発明の効果】本発明に依る半導体装置及びその製造方法に於いては、電極・配線コンタクト・ホール形成位置に在るエッチング停止層上に絶縁膜を介して電源供給線が積層形成してあり、そして、表面からエッチング停止層に達する電極・配線コンタクト・ホールが形成され、その電極・配線コンタクト・ホール内に於いて電源供給線の側面とコンタクトする金属からなる電源電極・配線が形成される。

【0054】前記構成を採ることに依り、薄いシリコン膜からなる電源供給線と金属からなる電源電極・配線とを直接コンタクトさせることが可能となり、従って、その中間に厚いシリコンからなる電源引き出し線などを介在させる必要はなくなり、その結果、同一のシリコン層についてメモリ部分と周辺回路部分とでp nの作り分けなどをすることも不要になった。

【図面の簡単な説明】

【図1】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図2】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図3】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図4】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図5】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図6】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図7】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図8】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図9】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図10】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部切断側面図である。

【図11】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部平面図である。

(8)

13

【図12】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部平面図である。

【図13】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部平面図である。

【図14】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部平面図である。

【図15】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部平面図である。

【図16】本発明一実施例を説明する為の工程要所に於けるTFT負荷型SRAMの要部平面図である。

【図17】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図18】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図19】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図20】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図21】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図22】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図23】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図24】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図25】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図26】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図27】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図28】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図29】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部切断側面図である。

【図30】TFT負荷型SRAMを製造する方法の従来

14

例を解説する為の工程要所に於ける要部平面図である。

【図31】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部平面図である。

【図32】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部平面図である。

【図33】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部平面図である。

【図34】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部平面図である。

【図35】TFT負荷型SRAMを製造する方法の従来例を解説する為の工程要所に於ける要部平面図である。

【符号の説明】

- 1 シリコン半導体基板
- 2 フィールド絶縁膜
- 3 ゲート絶縁膜
- 3A コンタクト・ホール
- 4  $n^+$  -不純物領域
- 5 ゲート電極
- 6 ゲート電極
- 7  $n^+$  -ソース領域
- 8  $n^+$  -ドレイン領域
- 9 絶縁膜
- 9A コンタクト・ホール
- 10 下側ゲート電極
- 11 下側ゲート電極
- 12 絶縁膜
- 13 コンタクト部分
- 14 コンタクト部分
- 15 TFTのドレイン領域
- 16 TFTのソース領域
- 17 TFTのチャネル領域
- 18 TFTのドレイン領域
- 19 TFTのソース領域
- 20 TFTのチャネル領域
- 21  $V_{CC}$ 供給線
- 22 絶縁膜
- 22A コンタクト・ホール
- 23 上側ゲート電極
- 24 上側ゲート電極
- 25 絶縁膜
- 25A コンタクト・ホール
- 25B コンタクト・ホール
- 26 接地線
- 27 引き出し電極
- 28 絶縁膜
- 28A ビット線コンタクト・ホール
- 28B コンタクト・ホール
- 29  $V_{CC}$ 引き出し線
- 30  $V_{CC}$ 電極・配線
- 31 エッチング停止層

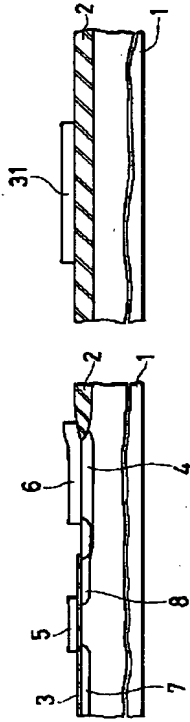
(9)

BL ビット線  
/BL ビット線

15

【図1】

実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



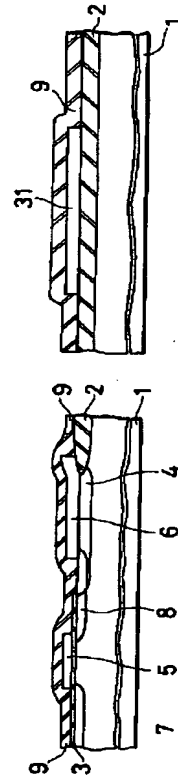
- 1:シリコン半導体基板
- 2:フィールド絶縁膜
- 3:ゲート絶縁膜
- 4:ゲート不純物領域
- 5:ゲート電極
- 6:ゲートソース領域
- 7:n<sup>+</sup>-ドレイン領域
- 8:n<sup>+</sup>-ドレイン領域
- 31:エッチング停止層

WL ワード線

16

【図2】

実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図

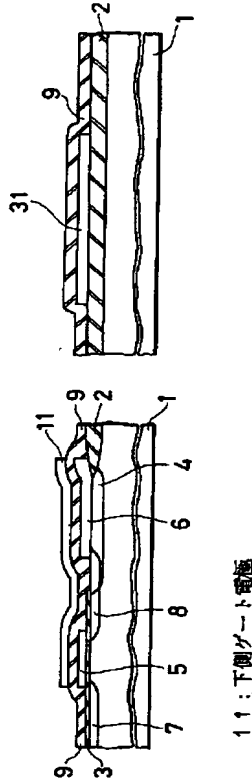


9:絶縁膜

(10)

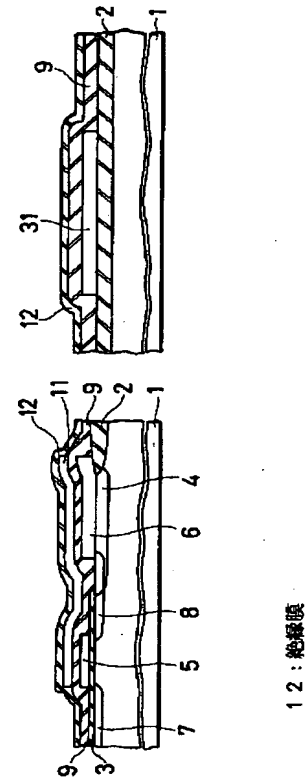
【図3】

実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



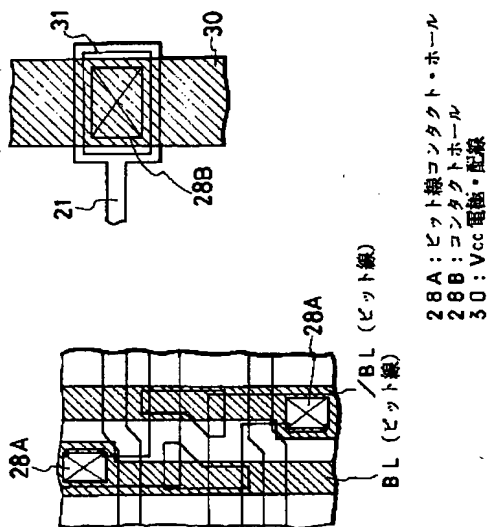
【図4】

実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



【図16】

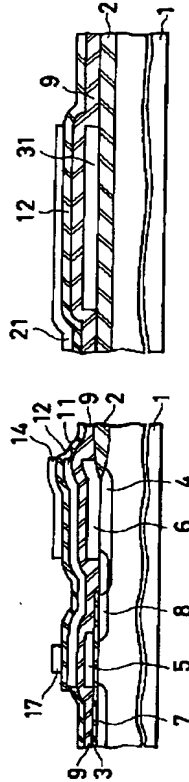
実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図



(11)

【図5】

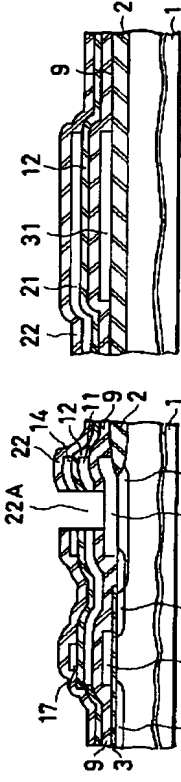
実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



14:コンタクト部分  
17:TFETのチャネル領域  
21:V<sub>cc</sub>供給線

【図6】

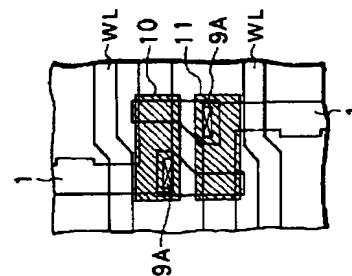
実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



22:絶縁膜  
22A:コンタクト・ホール

【図12】

実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図



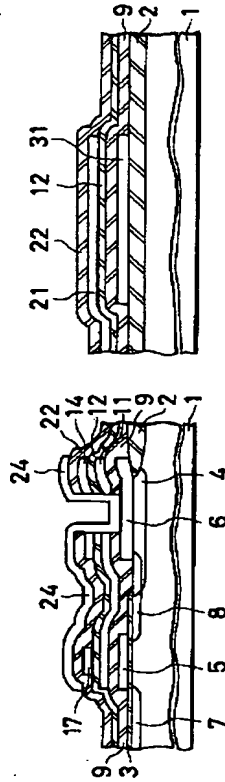
9A:コンタクト・ホール  
10:下側ゲート電極  
11:下側ゲート電極



(12)

【図7】

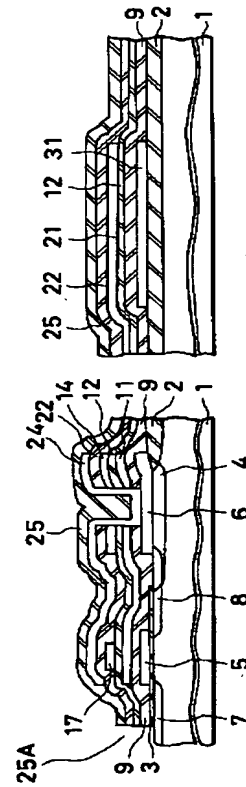
実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



24 : 上側ゲート電極

【図8】

実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図

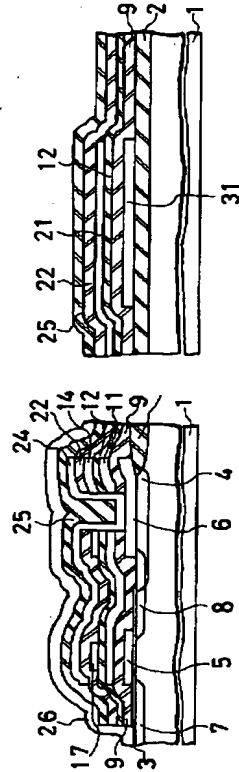


25 : 絶縁膜  
25A : コンタクト・ホール

(13)

【図9】

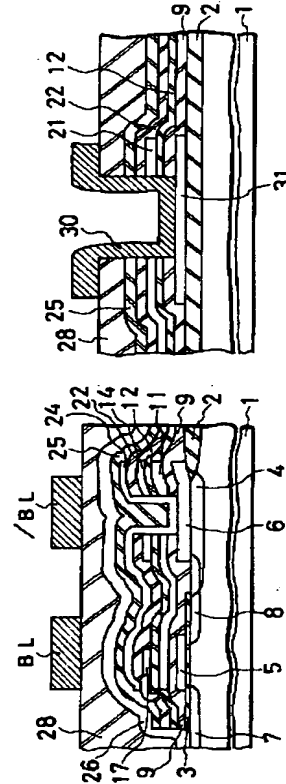
実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



26: 接地線

【図10】

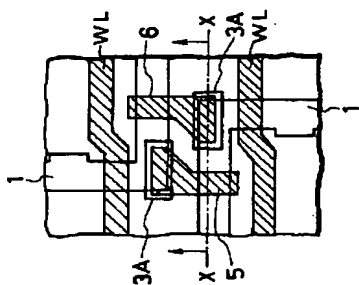
実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



28: 絶縁膜  
30: Vcc電極・配線

【図30】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図

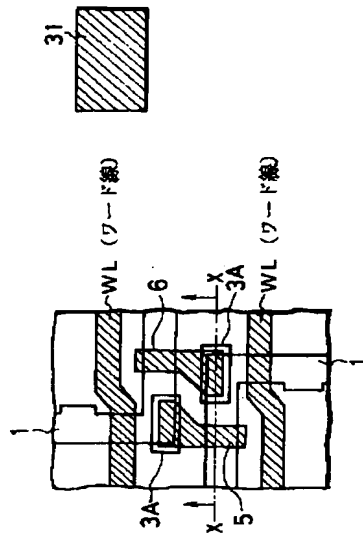


1: シリコン半導体基板  
3A: コンタクト・ホール  
5: ゲート電極  
6: ゲート電極  
WL: ワート線

(14)

【図11】

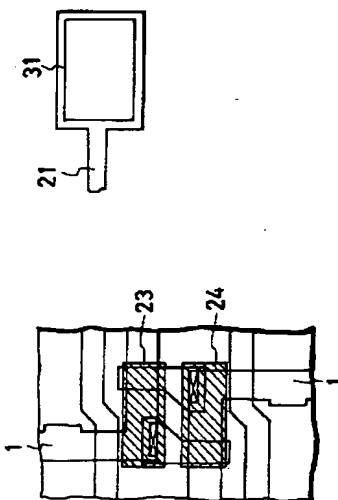
実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図



- 1: シリコン半導体基板
- 3A: コンタクト・ホール
- 5: ゲート電極
- 6: ゲート電極
- 31: エッチング停止層

【図14】

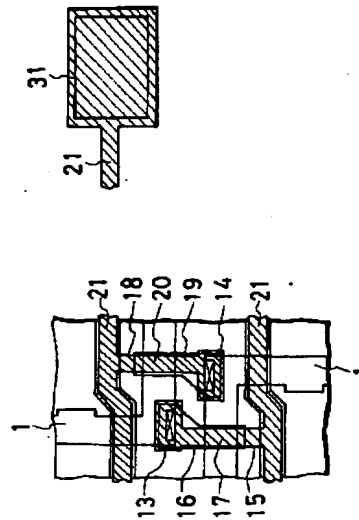
実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図



- 23: 上側ゲート電極
- 24: 上側ゲート電極

【図13】

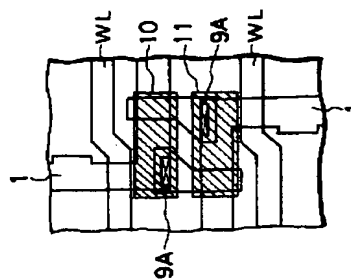
実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図



- 13: コンタクト部分
- 14: コンタクト部分
- 15: TFTのドレイン領域
- 16: TFTのソース領域
- 17: TFTのチャネル領域
- 18: TFTのドレイン領域
- 19: TFTのソース領域
- 20: TFTのチャネル領域
- 21: V<sub>cc</sub>供給線

【図31】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図

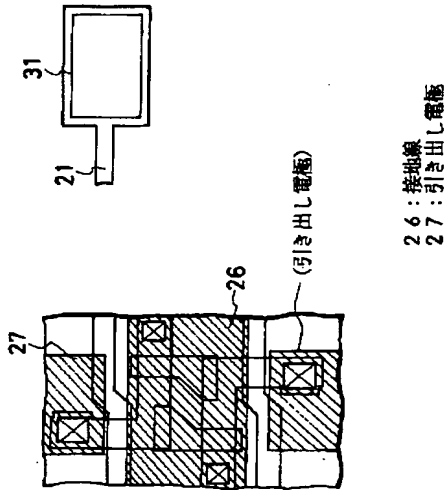


- 9A: コンタクト・ホール
- 10: 下側ゲート電極
- 11: 下側ゲート電極

(15)

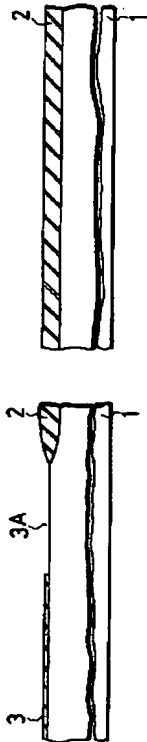
【図15】

実施例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図



【図18】

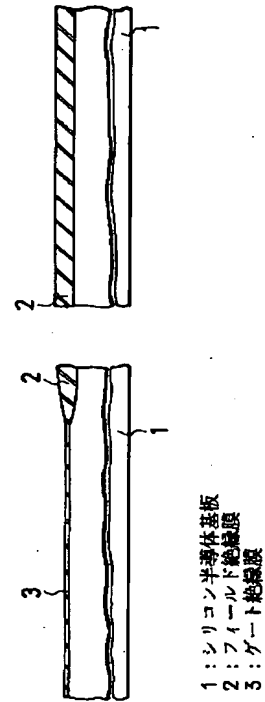
従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



3A:コンタクト・ホール

【図17】

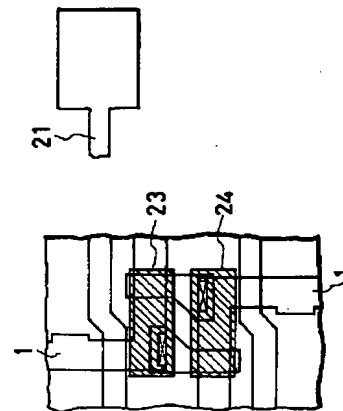
従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



1:シリコン半導体基板  
2:フィールド絶縁膜  
3:ゲート絶縁膜

【図33】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図

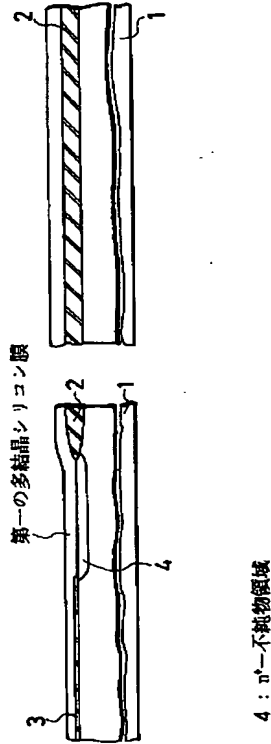


23:上部ゲート電極  
24:下部ゲート電極

(16)

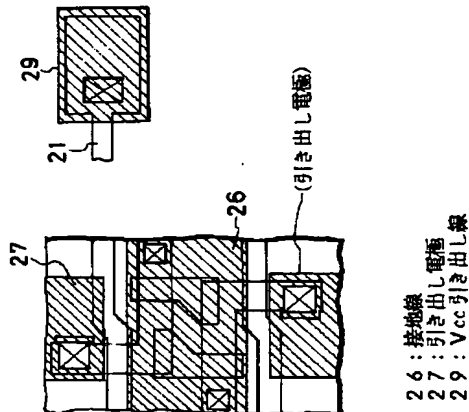
【図19】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



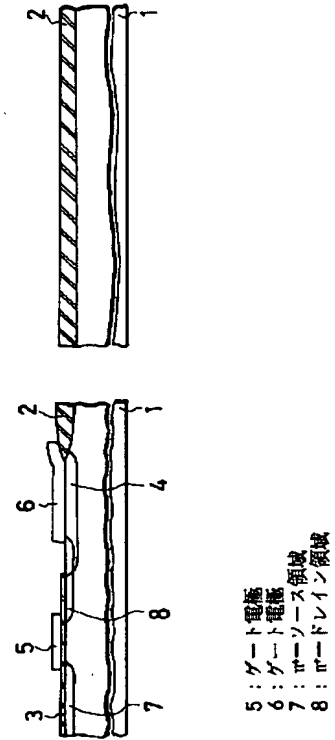
【図34】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図



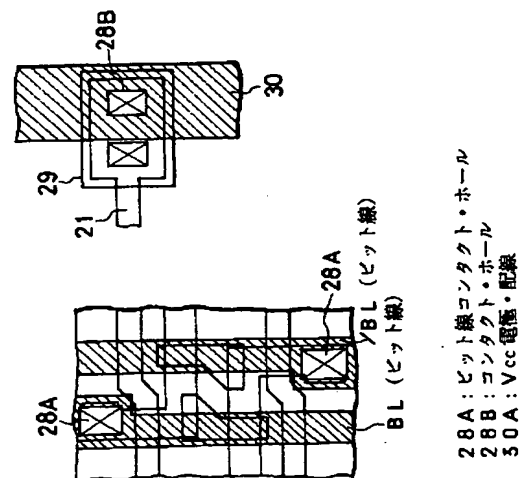
【図20】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



【図35】

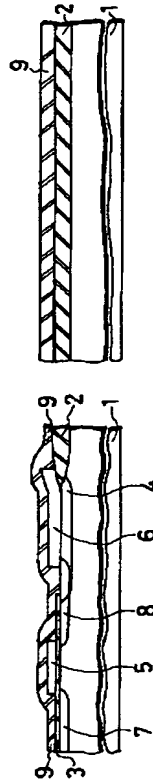
従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図



(17)

【図21】

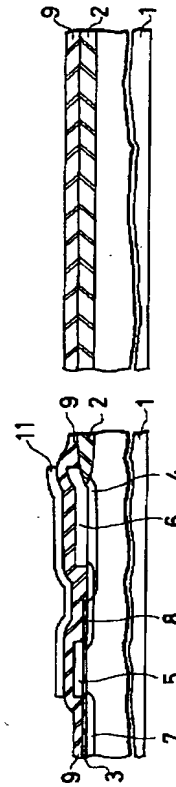
従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



9 : 絶縁膜

【図22】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図

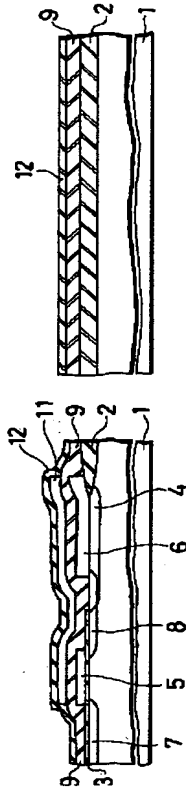


11 : 下側ゲート電極

(18)

【図23】

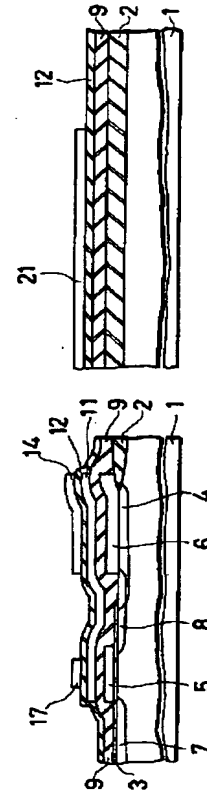
従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



12 : 絶縁膜

【図24】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図

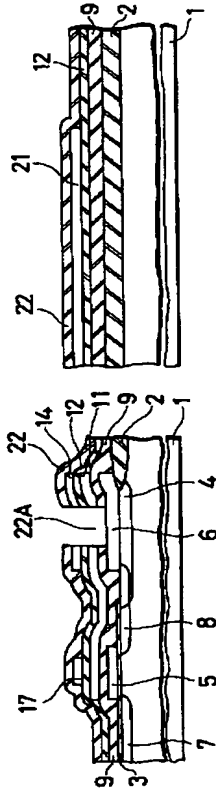


14 : コンタクト部分  
21 : Vcc 供給線

(19)

【図25】

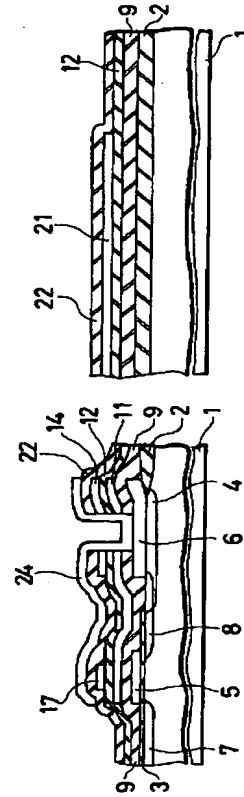
従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



22：絶縁膜  
22A：コンタクト・ホール

【図26】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



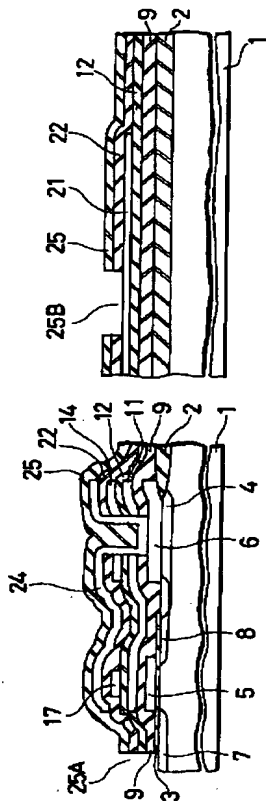
24：上側ゲート電極



(20)

【図27】

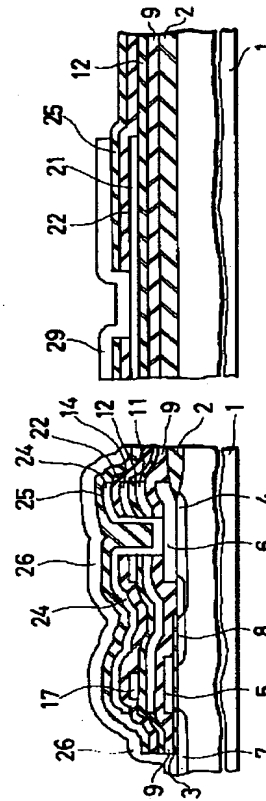
従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



25: 絶縁膜  
25A: コンタクト・ホール  
25B: コンタクト・ホール

【図28】

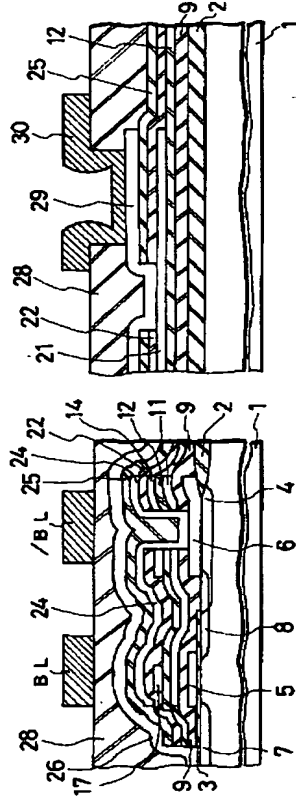
従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図



26: 接地線  
29: Vcc引き出し線

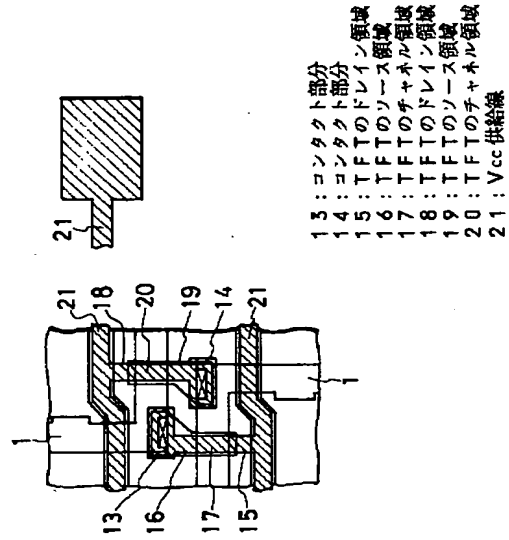
(21)

【図29】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部切断側面図

28 : 絶縁膜  
30 : V<sub>cc</sub>電極・配線  
BL : ビット線  
/BL : ビット線

【図32】

従来例の製造工程を説明する為の工程要所に於ける  
半導体装置の要部平面図

13 : コンタクト部分  
14 : コンタクト部分  
15 : TFTのソース領域  
16 : TFTのチャネル領域  
17 : TFTのドレイン領域  
18 : TFTのソース領域  
19 : TFTのチャネル領域  
20 : TFTのドレイン領域  
21 : V<sub>cc</sub>供給線

フロントページの続き

(51) Int. Cl. 5

H01L 27/04  
29/784

識別記号 庁内整理番号

E 8427-4M

F.I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**